

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41634

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl.⁶

H 0 5 K 3/46

識別記号

庁内整理番号

F I

H 0 5 K 3/46

技術表示箇所

W
Z

審査請求 未請求 請求項の数17 O L (全 10 頁)

(21) 出願番号 特願平8-191896

(22) 出願日 平成8年(1996) 7月22日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 塚本 勝秀

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

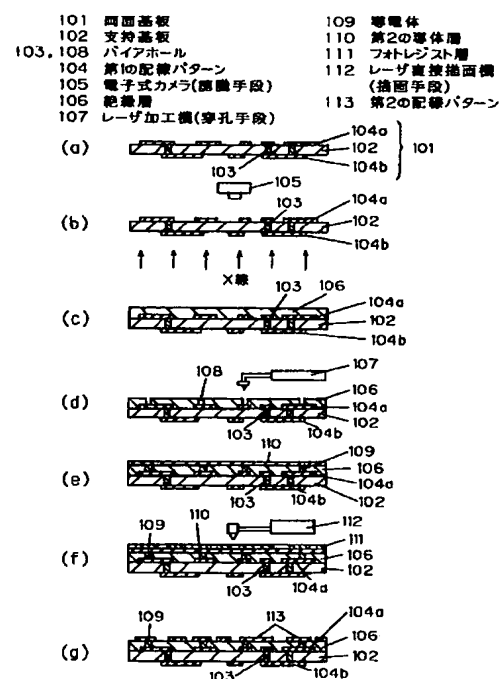
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 多層パターン形成方法および電子部品

(57) 【要約】

【課題】 多層配線基板や半導体装置等の多層パターンの形成方法に関し、特に従来のフォトリソ法において工程中のストレスによるマスクや基板材料又は導体層等の熱膨張係数の相違から生じる寸法ずれによって電気的接続性が不安定になり信頼性を低下させるという課題を解決し、低コストで信頼性に優れた電子部品を生産することができる多層配線パターンの形成方法を提供する。

【解決手段】 支持基板102の表面の第1の配線パターン104aの位置及び形状を電子式カメラ25により認識した後、絶縁層106を塗布し、認識した第1の配線パターン104aの画像情報に基づきレーザ加工機107を用いてバイアホール108を設け、さらに絶縁層106の上面に配置された第2の導体層110に同じく画像情報に基づき、第1の配線パターン104aに対応した第2の配線パターン113をレーザ直接描画機32によって形成する。



【特許請求の範囲】

【請求項1】絶縁層を介して配線等のパターンが多層形成された構造を有する電子部品が多層パターン形成方法において、既に形成されているパターンの位置および形状等を認識して前記既形成パターンに対応して次層のパターンを適正な位置及び形状に形成する多層パターン形成方法。

【請求項2】絶縁層の下にある既に形成されているパターンを部分的に露出させて認識することを特徴とする請求項1記載の多層パターン形成方法。

【請求項3】絶縁層を介して配線等のパターンが多層形成された構造を有する電子部品が多層パターンを形成する装置であって、少なくともパターンを認識するパターン認識装置と、認識したパターンに基づいて次層のパターンを変形生成するパターン生成装置と、生成したパターンに従って直接加工あるいは描画するレーザ装置を設けたことを特徴とする多層パターン直接描画装置。

【請求項4】認識手段がX線照射装置と電子式カメラとからなる請求項3記載の多層パターン直接描画装置。

【請求項5】認識手段が電子式カメラおよび記憶装置を備える請求項3記載の多層パターン直接描画装置。

【請求項6】少なくとも絶縁体よりなる支持基板の表面に第1の導体層よりなる第1の配線パターンを所定の形状に形成する工程と、前記第1の配線パターンの位置及び形状を認識手段によって認識する工程と、前記第1の配線パターンの上面に絶縁層を被覆する工程と、前記認識手段によって検出された画像信号に基づき第1の配線パターンの位置及び形状に対応して前記絶縁層の所定の位置に絶縁層の上面から穿孔手段によってバイアホールを設ける工程と、そのバイアホールに導電体を設け、前記絶縁層の上面全体に第2の導体層を形成する工程と、その第2の導体層の上面にフォトレジスト層を形成したのち前記認識手段によって検出された画像信号に基づき前記フォトレジスト層に描画手段によって所定の形状の第2の配線パターンを描画感光させる工程と、前記感光現像されたフォトレジストを介して前記第2の導体層をエッチングしたのち前記フォトレジストを除去することにより第2の配線パターンを形成する工程とを有する多層パターン形成方法。

【請求項7】少なくとも絶縁体よりなる支持基板上に第1の導体層よりなる第1の配線パターンを所定の形状に形成する工程と、認識手段によってその第1の配線パターンの形状と位置を認識したのち前記第1の配線パターンの上面に絶縁層を介して第2の導体層を接着する工程と、その第2の導体層の上面にフォトレジスト層を形成したのち前記認識手段によって検出された前記第1の配線パターンの形状および位置の画像信号に基づく所定の位置にバイアホールのパターンを前記フォトレジスト層に描画手段によって描画感光させる工程と、前記感光現像されたフォトレジスト層よりなるマスクを介して前記

第2の導体層をエッチングして前記第2の導体層にバイアホールを穿孔するための開口部を設ける工程と、その開口部の前記絶縁層にバイアホールを形成する工程と、前記バイアホールおよび前記第2の導体層の全面に銅めっきを行う工程と、前記認識手段によって検出された画像信号に基づき第1の配線パターンの位置及び形状に対応して前記描画手段により第2の配線パターンを形成する工程とを備える多層パターン形成方法。

【請求項8】絶縁体よりなる支持基板あるいは絶縁層がアラミド繊維を補強材とするアラミドエポキシよりなることを特徴とする請求項6または7記載の多層パターン形成方法。

【請求項9】絶縁体よりなる支持基板あるいは絶縁層がガラス繊維を補強材とするエポキシ基板よりなることを特徴とする請求項6または7記載の多層パターン形成方法。

【請求項10】少なくとも絶縁体としてセラミックスを用いて内部に複数層の導電性パターンが形成された多層配線基板上のパターンを認識手段により認識する工程と、前記多層配線基板の表面に導体層を形成する工程と、その導体層の上面にフォトレジストを塗布する工程と、前記フォトレジストに前記認識手段に得られた情報に基づいて計算生成したパターンを描画手段により描画する工程と、前記フォトレジストを選択的に除去したのちエッチングにより不要部分の前記導体層を溶解除去して前記多層配線基板上に配線パターンを形成する工程とを有する多層パターン形成方法。

【請求項11】複数の拡散領域と配線とを備える半導体装置の多層パターン形成方法において、既に形成された少なくとも1つのパターンの位置および形状を認識手段により認識し、その認識したパターンに対応して次の拡散パターンまたはコンタクト窓または配線パターンを描画手段およびフォトリソ法により形成する多層パターン形成方法。

【請求項12】複数のTFTと配線を備える液晶表示装置の多層パターン形成方法において、既に形成された少なくとも1つのパターンの位置および形状を認識手段により認識し、その認識したパターンに対応して次のパターンまたは配線パターンを描画手段およびフォトリソ法により形成する多層パターン形成方法。

【請求項13】穿孔手段がレーザ加工機である請求項6または7記載の多層パターン形成方法。

【請求項14】描画手段がレーザ直接描画機である請求項6から12のいずれかに記載の多層パターン形成方法。

【請求項15】請求項1から2、6から14のいずれかに記載の多層パターン形成方法によって形成された電子部品。

【請求項16】電子部品が多層配線基板、半導体装置または液晶表示装置であることを特徴とする請求項15記

載の電子部品。

【請求項17】位置認識用のパターンを各配線層に複数個設けたことを特徴とする多層配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は微細な配線パターンを高密度に、かつ多層構造で形成するための多層パターン形成方法および前記形成方法を用いる直接描画装置と前記形成方法によって製造された多層配線基板等の電子部品に関する。

【0002】

【従来の技術】近年、パーソナルコンピュータや映像音響機器等の電子機器の多機能化や小型軽量化等の要望に応じて電子機器に使用される電子部品の小型化や高密度実装に関する開発は急速に進行しており、特にLSI等の半導体装置におけるデザインルールの超微細化やこれらの電子部品を高密度に搭載するためのプリント配線基板の配線ピッチの極小化や多層配線化が進められている。

【0003】多層デバイス例えば多層プリント配線基板やMCM多層基板、またはLSI等のように多層構造に配線が形成されたデバイス類は年々その高密度化が進み、より微細なパターンの形成が求められる一方ではより安価に製造することが要求され、この両方の課題を解決することは極めて困難となっている。この課題を生産技術面から解決する方法としては大量生産を行うことによることが考えられるが、例えば多層プリント配線基板の場合、一枚の大型基板を用いて同時に多数の配線基板を形成する、いわゆる多数個取りによって1個あたりの生産コストを低減する方法が有効である。

【0004】この目的のために、現在プリント配線基板業界では約500mm角の大型基板を処理するプロセス、また半導体基板では8インチのシリコンウェーハ上に多数のLSIを形成するプロセスが採用されてきている。またその高度の耐熱性の利点を活かして自動車等の電子制御機器に使用されているセラミック多層基板では焼成時の焼き締まりによる寸法変化が大きいため一般的にはプリント配線板に比べて小さい約100～300mm角のものが使われている。

【0005】以下、上記プリント配線基板等の従来の多層パターン形成方法について説明する。図5は多層プリント配線基板を従来の製造方法で形成する方法を示す工程図であり、図5(a)に示すように内部配線パターン501及び上面配線パターン502と下面配線パターン503を備えるガラスエポキシ多層配線基板504の上面に感光性の絶縁体層505が塗布され、この絶縁体層505の上に上面配線パターン502に対応してバイアホール形成のためのパターンが設けられている第1のマスク506を位置合わせして配置し(b)、フォトリソグラフによりその上から露光現像することによって穿孔すべ

きバイアホールの位置の絶縁体層505が除去(c)されてバイアホール507が形成される。つぎにそのバイアホール7の内壁をSn-Pd等によって活性化して導電性を付与した後、銅めっきを施して全面に導体層508が形成される(d)。つぎにその導体層508の上にあらかじめ設計された配線パターンを有する第2のマスク509を位置合わせして載置し(e)、同じくフォトリソ法により露光現像およびエッチングすることによって目的とする配線パターン510が形成されるのである(f)。

【0006】またLSI等の半導体装置の場合も基本的な工法は上記プリント配線基板の場合と同様であり、アクティブまたはパッシブ素子が形成されたシリコンウェーファの上面にアルミ蒸着膜またはスパッタ膜で下側の配線パターンを形成し、その上に酸化シリコン等よりなる絶縁体層を被覆したのち、フォトリソ法によりバイアホールを設け、つぎにスパッタまたは蒸着により導体層を形成し、同様にフォトリソ法により上側の配線パターンが形成される。上記LSIの配線パターン形成工程においてもプリント配線基板の場合と同じようにフォトリソ法を利用するに当たってマスクの精密な位置合わせが必要となる。また、パッシブな素子やアクティブな素子もやはり複数回のフォトリソ工程を繰り返して作られる。

【0007】一方、前述したようにプリント配線基板またはLSI等の電子部品の生産コストを下げるためにはワーク基板(多数個取りのために多数の電子部品を同時に処理形成する一枚の単位基板、例えばLSIの場合8インチサイズのシリコンウェーファ)一枚あたりの電子部品の数を多くしなければならない。

【0008】

【発明が解決しようとする課題】しかしながら上記従来の配線パターンの形成方法では、ワーク基板のサイズが大きくなるほど位置合わせの精度は低下するという問題がある。さらには従来の形成方法で用いられるマスクや基板材料または導体層などの熱膨張係数の相違による寸法ずれに起因する歩留まりの低下等が問題となっていた。例えばガラスエポキシを基材とするプリント配線基板の場合、構成材料は無機質のガラス繊維と有機質のエポキシ樹脂であり、その表面には金属材である配線パターンが形成されている。したがってその熱膨張現象は極めて複雑な形態を取るのが普通であり、さらに工程中加圧や加熱等のストレスを受けるために複数の材料を積層したりマスク合わせをしなければならないフォトリソ法における寸法精度の向上は極めて困難であり、また配線パターンを多層化するほどその困難さは倍加される。

【0009】図6は一般的に採用されている形成方法による多数個取りワーク基板の一例を示すものであり、ワーク基板601から配線パターン604やバイアホール605が形成された25個のプリント配線基板602が

形成される状態を示している。603は基準穴であって、フォトリソ法によるマスク等の位置合わせのときにこの基準穴603によって寸法精度を保持しようとするものであるが、上記したように熱膨張等による寸法変化のために図8に示すように表層の配線パターン604とその下層にある配線パターン701とを接続するためのバイアホール605の一部は位置合わせの寸法精度が得られず、605aのようにその位置が一部ずれた場合、電気的接続性が不安定になって製品の信頼性を低下させたり、605bのように全くその位置がずれてしまい不良品となって生産歩留まりを悪化させるという問題が生じる。

【0010】一般的には500mm角のワーク基板を使用した場合、その位置合わせによる寸法誤差を100 μ m以下とすることは困難であり、前述したように配線パターンが高密度になるほどその困難さは増大する。

【0011】本発明は上記課題を解決するものであり、生産コスト低減のためにワーク基板のサイズが大きくなってもその材料固有の熱膨張による寸法変化などに影響されることなく、高い精度でそれぞれの配線パターンを形成でき、また多層に形成された複数の配線パターンをそれぞれバイアホールで正確に接続することができ、したがって製造歩留まりを向上させ、低コストで信頼性に優れた電子部品を生産することができる多層配線パターンの形成方法を提供するものである。

【0012】

【課題を解決するための手段】上記目的を達成するために本発明は、絶縁層を介して配線等のパターンが多層形成された構造を有する電子部品の多層パターン形成方法において、既に形成されているパターンの位置および形状等を認識し、既形成パターンに対応して次層のパターンを適正な位置及び形状に形成する多層パターンの形成方法であり、本発明によれば、すでに形成されている配線パターンやバイアホールの形状に対応してつぎに形成するための配線パターンやバイアホールを生成しながら形成して行く手段としているので極めて高精度な配線パターンを形成でき、またその複数の配線パターンをバイアホールで正確に接続することができるため、製造歩留まりが向上し、信頼性に優れた電子部品を得ることができる。

【0013】

【発明の実施の形態】本発明の請求項1に記載の発明は、絶縁層を介して配線等のパターンが多層形成された構造を有する電子部品の多層パターン形成方法において、既に形成されているパターンの位置および形状等を認識し、既形成パターンに対応して次層のパターンを適正な位置及び形状に形成する方法であり、常にすでに形成されている配線パターンの位置およびその形状に基づいて予め設計してある次層の配線パターンを変形生成するために、従来のようにマスク合わせによる位置ずれな

どの発生をほぼ完全に抑制することができる。したがって多数個取りのためのワーク基板の寸法を大きくすることができ、生産歩留まりを高めることにより生産コストの低減、および信頼性に優れた電子部品の供給に有効である。

【0014】また請求項2に記載の発明は、前記請求項1に記載の方法において、第1の配線パターンの上面の上に絶縁層を被覆した後、部分的に第1の配線パターンを露出させて第1の配線パターンを認識するようにしているために、絶縁層が邪魔にならず光学的に精度よく第1の配線パターンを読み取ることができる。

【0015】また請求項3に記載の発明は、絶縁層を介して配線等のパターンが多層形成された構造を有する電子部品の多層パターンを形成する装置であって、少なくともパターンを認識するパターン認識装置と認識したパターンにもとずいて次層のパターンを変形生成するパターン生成装置と生成したパターンに従って直接加工あるいは描画するレーザ装置を設けた多層パターン製造用の直接描画装置であって、本装置により本発明を効率よく実施でき、高精度多層パターンを有する電子部品を低価格で作ることができる。

【0016】また請求項4に記載の発明は、請求項2に記載の発明における認識手段としてX線照射装置と電子式カメラを用いるものであり、エポキシ等の合成樹脂質よりなる配線基板において既に形成されている複数の配線パターンの内任意のものを認識、参照して次層の配線パターンを設計、描画することができる。

【0017】また請求項5に記載の発明は、請求項2に記載の発明における認識手段として電子式カメラおよび記憶装置を用いるものであり、セラミック基板やシリコン基板等の無機質材料よりなる配線基板または多層デバイスにおいて製造工程における多品種の異なる配線パターンを同時に記憶させ、それぞれ対応する製品の配線パターンを正確に形成することができるため、1つの生産ラインで異なる品種の製品を高速で処理することができる。

【0018】また請求項6に記載の発明は、絶縁体よりなる支持基板の表面に第1の導体層よりなる第1の配線パターンを所定の形状に形成する工程と、第1の配線パターンの位置及び形状を認識手段によって認識する工程と、第1の配線パターンの上面に絶縁層を被覆する工程と、認識手段によって検出された画像信号に基づき第1の配線パターンの位置及び形状に対応して絶縁層の所定の位置に絶縁層の上面から穿孔手段によってバイアホールを設ける工程と、そのバイアホールに導電体を設け、絶縁体層の上面全体に第2の導体層を形成する工程と、その第2の導体層の上面にフォトレジスト層を形成したのち認識手段によって検出された画像信号に基づきフォトレジスト層に描画手段によって所定の形状の第2の配線パターンを描画感光させる工程と、感光現像されたフ

フォトレジストを介して第2の導体層をエッチングしたのちフォトレジストを除去することにより第2の配線パターンを形成し、導電体が設けられたバイアホールを介して第1の配線パターンと第2の配線パターンを電氣的に接続して多層配線基板を形成する工程を有する方法であり、すでに形成されている配線パターンの位置およびその形状に基づいて次層の配線パターンを形成でき、あるいはあらかじめ設計してある配線パターンの形状やバイアホールの位置などを容易に変更して形成できるために、従来のようにマスク合わせによる位置ずれなどの発生をほぼ完全に抑制することができる。したがって多数個取りのためのワーク基板の寸法を大きくすることができ、例えば実施例1あるいは2で説明するビルドアップ法のようにすでに形成されている配線パターンを有する配線基板の上面に順次絶縁層を介して配線パターンを複数個形成して多層配線基板を製造する場合においても生産歩留まりを高めることにより生産コストを低減でき、また信頼性に優れた高密度多層配線基板を製造することが可能となる。

【0019】また請求項7に記載の発明は、絶縁体よりなる支持基板上に第1の導体層よりなる第1の配線パターンを所定の形状に形成する工程と、認識手段によってその第1の配線パターンの形状と位置を認識したのち第1の配線パターンの上面に絶縁性の接着樹脂層を介して銅箔よりなる第2の導体層を接着する工程と、その第2の導体層の上面にフォトレジスト層を形成したのち認識手段によって検出された第1の配線パターンの形状および位置の画像信号に基づく所定の位置にバイアホールのパターンをフォトレジスト層に描画手段によって描画感光させる工程と、感光現像されたフォトレジスト層よりなるマスクを介して第2の導体層をエッチングして第2の導体層にバイアホールを穿孔するための開口部を設ける工程と、その開口部の接着樹脂層に穿孔手段によってバイアホールを形成する工程と、バイアホールおよび第2の導体層の全面に銅めっきを行う工程と、認識手段によって検出された画像信号に基づき第1の配線パターンの位置及び形状に対応して描画手段により第2の配線パターンを形成する工程とを備えるものであり、簡略な工程を採用することにより、一層安価に高信頼性の多層配線基板を生産することができる。

【0020】また請求項8に記載の発明は、請求項6または7記載の絶縁体よりなる支持基板あるいは絶縁層としてアラミド繊維を補強材とするアラミドエポキシを用いたものであり、耐熱性に優れ、かつ高密度配線が可能なる多層配線基板を得ることができる。

【0021】また請求項9に記載の発明は、請求項6または7記載の絶縁体よりなる支持基板あるいは絶縁層としてガラス繊維を補強材とするエポキシ基板を用いたものであり、機械的強度と信頼性に優れた耐衝撃性の多層配線基板を得ることができる。

【0022】また請求項10に記載の発明は、絶縁体層としてセラミックスを用いて内部に複数層の導電性パターンが形成された多層基板上のパターンを認識手段により認識してその情報を記憶する工程と、多層基板の表面に導体層を形成する工程と、その導体層の全面にフォトレジストを塗布する工程と、フォトレジストに認識手段により記憶された情報に基づいて計算し生成したパターンを描画手段により描画する工程と、フォトレジストを選択的に除去したのちエッチングにより不要部分の導体層を溶解除去して多層基板上に配線パターンを形成して多層配線基板を形成する工程とを有するものであり、無機質材料を絶縁体とする多層基板の上面にもそのパターンを認識して記憶された画像情報により、バイアホールの位置に的確に整合した正確な配線パターンを形成することができる。

【0023】また請求項11に記載の発明は、複数の拡散領域と配線とを備える半導体装置の多層パターン形成方法において、既に形成された少なくとも1つのパターンの位置および形状を認識手段により認識し、その認識したパターンに対応して次の拡散パターンまたはコンタクト窓または配線パターンを描画手段およびフォトリソ法により形成して半導体装置を形成するものであり、大型のワーク基板（シリコンウェーファ）から信頼性に優れたLSIチップを収率よく生産できる。

【0024】また請求項12に記載の発明は、複数のTFと配線を備える液晶表示装置の多層パターン形成方法において、既に形成された少なくとも1つのパターンの位置および形状を認識手段により認識し、その認識したパターンに対応して次のパターンまたは配線パターンを描画手段およびフォトリソ法により形成して液晶表示装置を形成するものであり、液晶テレビ等の表示パネルとして使用される際、ホワイต์スポット等の点欠陥の少ない表示品質に優れた液晶表示装置を得ることができる。

【0025】また請求項13に記載の発明は、請求項6または7記載の穿孔手段としてレーザ加工機を用いるものであり、微細なデザインルールで高密度に配線された複数層の端子を電氣的に接続するためのバイアホール径をより小さく形成することができる。

【0026】また請求項14に記載の発明は、請求項6から12のいずれかに記載の描画手段としてレーザ直接描画機を用いるものであり、従来のマスクを使用するフォトリソ法に比較してより正確で細密な配線パターンを形成することができる。

【0027】また請求項15に記載の発明は、請求項1から2、6から14のいずれかに記載の多層パターン形成方法によって形成された電子部品であり、高い生産歩留まりと優れた信頼性を備えるものである。

【0028】また請求項16に記載の発明は、請求項15記載の電子部品がともに優れた信頼性を有する多層配

線基板、半導体装置または液晶表示装置のいずれかを指すものである。

【0029】また請求項17に記載の発明は、本発明を有効に実施するために各層に位置認識用のパターンを各配線層に設けて作られたものでより精度のよい多層配線基板を提供する。

【0030】以下、本発明の一実施の形態について図面を参照しながら説明する。

(実施の形態1) 図1(a)～(g)は、本発明の実施の形態1における多層パターンの形成方法を工程順に示す多層配線基板の断面図であり、図において101は両面配線基板であり、アラミド繊維を補強材とするアラミドエポキシ基板102の表面にはバイアホール103によって電氣的に接続された第1の配線パターン104a、104bが所定の形状に設けられている(a)。この両面配線基板101の上面に認識手段として、例えばCCD等の電子式カメラ105を配置して第1の配線パターン104aの位置や形状を読み取り記憶装置に記憶蓄積する(b)。またこの両面配線基板101の裏面よりX線を照射し、その透過画像を同じく電子式カメラ105によって読み取ることも可能であり、この場合表面の第1の配線パターン104aのみでなく、両面配線基板101の裏面に形成されている他の第1の配線パターン104bの位置や形状も読み取ることができ、次工程において第2または第3の配線パターンを形成させる際に複数の既形成配線パターンの情報を反映させることが可能となる。つぎに同図(c)に示すように第1の配線パターン104aの上面に絶縁層、好ましくは感光性樹脂等よりなる絶縁層106を塗布し、レーザ加工機等の穿孔手段107を用いて電子式カメラ105により認識記憶された第1の配線パターン104aの位置及び形状の画像情報に基づく必要な位置にバイアホール108を設ける(d)。バイアホール108の穿孔は直接レーザ加工機107のエネルギーによることもできるが、感光性樹脂よりなる絶縁層106を用いた場合、レーザ光によって感光させた部分を現像除去することによって設けることも可能である。この場合、レーザ光は絶縁層を感光させるだけでよいので高速でレーザ光を移動させることができ、高速処理が可能となる。

【0031】つぎにバイアホール108の内部に導電体109を設けた後、絶縁層106およびバイアホール108の上面全体に銅箔等よりなる第2の導体層110を積層する(e)。導電体109は導電性ペーストをの場合もあるし、鍍金で形成することもある。また導体層110は導体箔を張り付ける方法もあるし、また鍍金あるいはスパッタや蒸着という手もある。

【0032】同図(f)に示すように、第2の導体層110上に塗布されたフォトレジスト111にバイアホール108の形成時と同様に電子式カメラ25により認識記憶された第1の配線パターン104aまたは104b

の画像情報に基づく必要なパターンを描画手段としてレーザ直接描画機112を用いて描き、感光した部分を現像、除去したのち第2の導体層110をエッチングすることにより第1の配線パターン104aとバイアホール導電体109によって電氣的に接続された第2の配線パターン113が得られる(g)。

【0033】バイアホール108および第2の配線パターン113はいずれも既に形成されている第1の配線パターン104の位置や形状等の画像情報に基づいて形成されるため、第1の配線パターン104が工程中の加圧や加熱等のストレスによって当初の設計パターンの形状から変形していたとしても、従来のようにマスクパターン合わせの際に発生していた位置ずれなどが生じることとは皆無となる。

【0034】なお、本実施の形態ではバイアホールにより接続された両面配線基板を例として説明したが、片面配線基板またはバイスルーホールによって内部配線された多層配線基板を用いることも可能である。またアラミドエポキシ基板に代えてガラスエポキシ基板においても同様の効果を得ることができる。また本実施例では第2の配線パターン113を形成する方法について説明したが、この第2の配線パターンの上に、第3、第4の配線パターン等の多層の配線パターンも同様に形成することができる。

【0035】本実施の形態は例えば、第1の配線層の画像を認識しデジタル的にパターンを記憶する認識装置、バイアホールの位置をこのパターンから割り出す(計算する)あるいは第2の配線層のパターンを予め作られているものから変形生成するパターン生成装置、直接加工するあるいは描画するレーザ装置をそなえた多層パターン描画装置により簡単に実行される。

【0036】パターン認識装置には基板を通して内層を検出できる光源にX線を用いたものや表層しか検出できないが可視光を用いる簡単な電子式読み取り装置を使える。

【0037】(実施の形態2) つぎに本発明の実施の形態2について説明する。図2(a)～(h)は本発明の実施の形態2の多層パターン形成方法を工程順に示す多層配線基板の断面図であり、図2(a)に示すように絶縁体としてアラミド繊維を補強材とするアラミドエポキシ基板201の表面に第1の導体層を選択的にエッチングして形成された第1の配線パターン202の位置および形状を第1の実施例の場合と同じように電子式カメラ105によって読み取り、認識記憶させる。

【0038】つぎに同図(b)に示すように、絶縁層203が貼着されている銅箔等よりなる第2の導体層204をその絶縁層203を介して第1の配線パターン202の上面に接着する。さらにその上面にフォトレジスト層205を塗布し、前工程で認識した画像情報に基づきレーザ直接描画機112によって第1の配線パターン2

02に対応した必要とする箇所にバイアホール形成のための開口部分を感光させて(c)現像除去し、開口部206を設け、つぎに同図(d)に示すように第2の導体層204をエッチングして開口部206の絶縁層203を露出させたのち、第2の導体層204をマスクとして絶縁層203をエッチング除去し、バイアホール207を設ける。なおバイアホール207の形成に図2(e)に示すようにレーザ加工機107を用いることもできる。

【0039】つぎに第2の導体層44の全面およびバイアホールに銅めっき208を施して第2の導体層204と一体化したのち(f)、同図(g)に示すように第2の導体層204上に塗布されたフォトリソスト209にバイアホール207の形成時と同様に電子式カメラ205により認識記憶された第1の配線パターン204の画像情報に基づく必要なパターンを描画手段としてレーザ直接描画機112を用いて描き、感光した部分を現像、除去したのち第2の導体層204をエッチングすることにより第1の配線パターン202とバイアホール207によって電気的に接続された第2の配線パターン210が得られる(h)。

【0040】本実施の形態の場合も実施の形態1の場合と同じように、バイアホール207および第2の配線パターン210はいずれも既に形成されている第1の配線パターン202の位置や形状等の画像情報に基づいて形成されるため、第1の配線パターン202が工程中の加圧や加熱等のストレスによって当初の設計パターンの形状から変形していたとしても、従来のようにマスクパターン合わせの際に発生していた位置ずれなどが生じることはない。

【0041】また上記実施の形態2ではいずれも絶縁体よりなる支持基板に有機質材料を用いた例について説明したが、従来から高度の耐熱信頼性が要求される電子機器に用いられているセラミックスを絶縁体として内部に多層配線された多層配線基板の上面に配線パターンを形成する場合も、上記実施の形態2と同様の形成方法が適用可能である。この場合は、セラミック基板の場合は表層のみ後で形成することが多い。

【0042】その理由は、セラミックは焼成過程において焼き縮みが生じ寸法が安定せず、表層のパターンだけは焼成後に形成する。表層の配線層のパターンを形成する前にはビアの先端のみ顔をのぞかせているのであるが、その位置は焼き縮みのばらつきのために安定しない。このような場合でも本発明を用いれば、ビアの位置を認識して配線層のパターンを変形生成するために、いわゆるビアズレの心配がない。従って、ビアホールの径を小さくできるとともにビアを受けるビアパッドも小さくするために高密度の配線基板が容易に得られる。

【0043】前記実施の形態において、パターンの認識は描画直前が好ましい。なぜならば、時間が経ってから

描画を行う場合は環境が異なっている可能性があり、正確な描画が出来ない可能性がある。このことを避けるために、各層に認識用のパターンを設けることは有効である。各層に認識用のパターンを複数個設け、このパターンを認識してその近傍の次の層のパターンを描画するようにするとより正確にパターンを積層することができる。

【0044】絶縁層を被覆してから認識パターンを光学的に検知するのは困難であるが、認識パターンの近傍を少し大きく絶縁層を取り除き、認識パターンを露出させて読み取る様にするのも有効である。絶縁層を取り除くにはレーザが有効である。認識直前に露出させてもよいし、前以て露出させておくのもよい。

【0045】(実施の形態3)つぎに本発明の実施の形態3について説明する。図3は本発明の実施の形態3の多層パターン形成方法によって作成された半導体装置の断面図である。

【0046】図において301は半導体装置をその上に多数個形成させるためのシリコンウェハよりなるワーク基板であり、シリコンウェハ上の酸化膜302の形成および半導体装置を構成するための拡散層の開口、各電極端子となるエミッタ303、コレクタ304、ベース305等の形成はいずれも実施の形態1および実施の形態2において説明した認識手段、描画手段を用いて既に形成されているパターンの位置および形状に対応して順次形成して行くことにより、極めて正確に多層パターンを形成することができる。したがって従来のように製造工程中の環境温度等の変形要因に煩わされることなく、極めて信頼性に優れた半導体装置を歩留まりよく生産することができる。

【0047】(実施の形態4)つぎに本発明の実施の形態4について説明する。図4は本発明の実施の形態4の多層パターン形成方法によって作成された液晶表示装置に用いられるTFT基板の断面図である。

【0048】図において401は透明なガラス基板であり、その上に半導体薄膜402、SiO₂よりなる絶縁酸化膜403を介して設けられたゲート電極404およびドレイン405、ソース406より構成される液晶分子駆動用のトランジスタとドレイン406に接続されて液晶分子に電荷を加えるITOよりなる透明電極407が多数個形成されており、これらのパターンはいずれも実施の形態1および実施の形態2において説明した認識手段、描画手段を用いて既に形成されているパターンの位置および形状に対応して順次形成して行くことにより、極めて正確に多層パターンを形成することができる。したがって従来のように製造工程中の環境温度等の変形要因に煩わされることなく、画像等の表示装置として避けなければならないTFTの断線による点欠陥等の不良を無くすることが可能となり、したがって信頼性に優れた製品の生産歩留まりを向上させることができる。

【0049】

【発明の効果】上記実施の形態より明らかなように本発明は、すでに形成されている配線パターンやバイアホールとの位置や形状に対応してつぎに形成するための配線パターンやバイアホールを設計生成しながら形成して行く形成方法であるため、極めて高位置精度で配線パターンを形成でき、そのため多層に形成された複数の配線パターンをバイアホールで極めて正確に接続することができる。

【0050】またワーク基板のサイズが大きくなってもその材料固有の熱膨張による寸法変化などに影響されることがなく、高い精度でそれぞれの配線パターンを形成でき、かつ製造歩留まりが向上するので低コストの多層パターンを有する電子部品を生産することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における多層パターン形成方法を説明する多層配線基板の工程図

【図2】本発明の実施の形態2における多層パターン形成方法を説明する多層配線基板の工程図

【図3】本発明の実施の形態3における多層パターン形成方法を説明する半導体装置の断面図

【図4】本発明の実施の形態4における多層パターン形成方法を説明する液晶表示装置のTFTの断面図

【図5】従来の多層パターン形成方法を説明する多層配線基板の工程図

【図6】一般的に使用されている多数個取りワーク基板の平面図

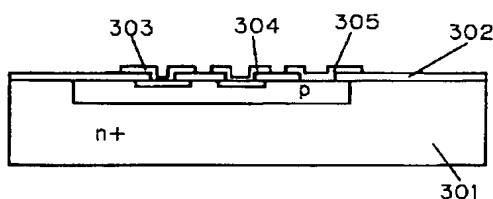
【図7】従来の多数個取りワーク基板の一部拡大平面図

【符号の説明】

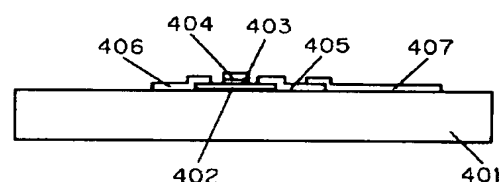
- 101 両面配線基板
- 102 支持基板
- 103 スルーホール
- 104 第1の配線パターン
- 105 電子式カメラ（認識手段）
- 106 絶縁層
- 107 レーザ加工機（穿孔手段）
- 108 バイアホール
- 109 導電体
- 110 第2の導電層
- 111 フォトリソレジスト層

- 112 レーザ直接描画機（描画手段）
- 113 第2の配線パターン
- 201 支持基板
- 202 第1の配線パターン
- 203 絶縁層
- 204 銅箔
- 205 フォトリソレジスト層
- 206 開口部
- 207 バイアホール
- 208 銅めっき
- 209 フォトリソレジスト層
- 210 第2の配線パターン
- 301 シリコンウェファよりなるワーク基板
- 302 酸化膜
- 303 エミッタ
- 304 コレクタ
- 305 ベース
- 401 透明なガラス基板
- 402 半導体薄膜
- 403 絶縁酸化膜
- 404 ゲート電極
- 405 ドレイン
- 406 ソース
- 407 透明電極
- 501 内部配線パターン
- 502 上面配線パターン
- 503 下面配線パターン
- 504 多層配線基板
- 505 絶縁体層
- 506 第1のマスク
- 507 バイアホール
- 508 導電層
- 509 第2のマスク
- 510 配線パターン
- 601 ワーク基板
- 602 プリント配線基板
- 603 基準穴
- 604 配線パターン
- 605 バイアホール
- 701 下層にある配線パターン

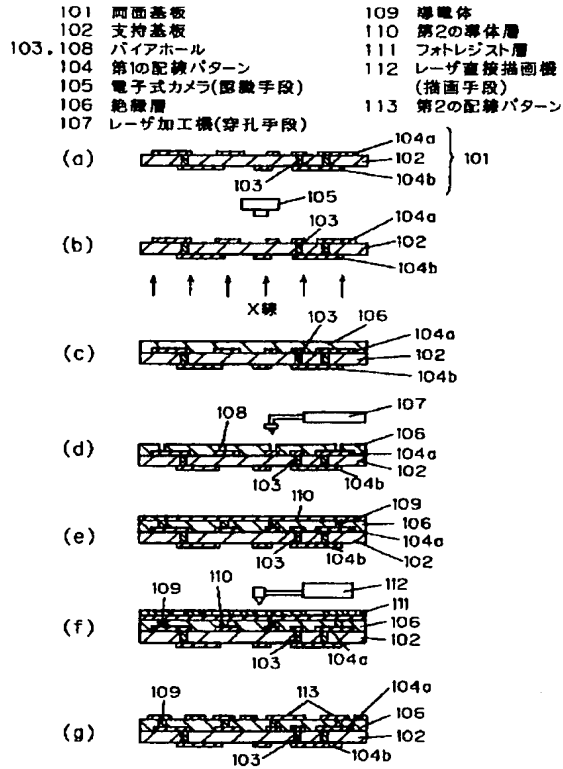
【図3】



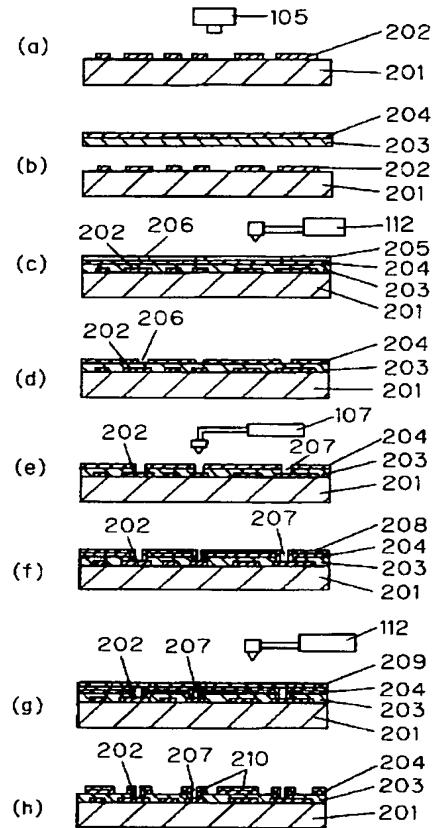
【図4】



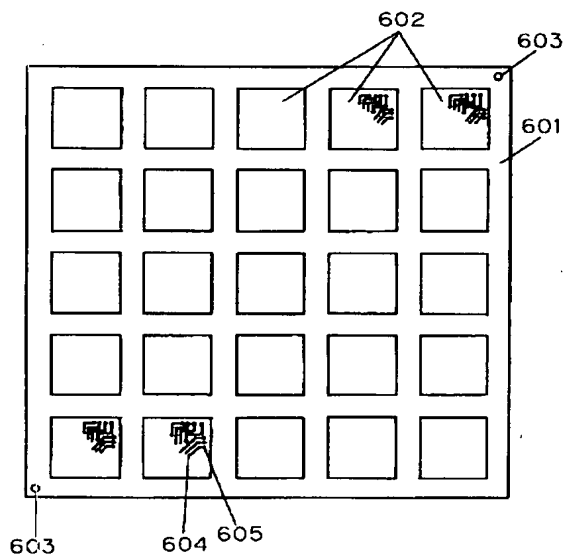
【図1】



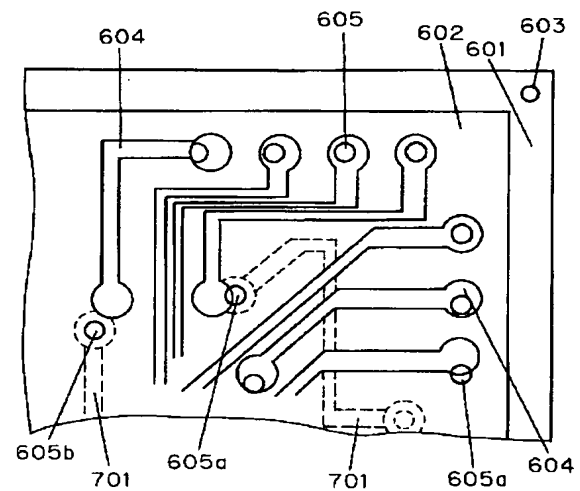
【図2】



【図6】



【図7】



【図5】

